



IFW

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

*I hereby certify that this correspondence is being deposited with the U.S. Postal Service as first class mail in an envelope addressed to Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on June 17, 2004.*

  
Signature

Applicant : Yong-Jin Kim  
Application No. : 10/800,387  
Filed : March 12, 2004  
Title : METHOD FOR REPRESENTING GRAY SCALE ON PLASMA  
DISPLAY PANEL IN CONSIDERATION OF ADDRESS LIGHT  
  
Grp./Div. : 2673  
Examiner : To be determined  
Docket No. : 51747/DBP/Y35

**LETTER FORWARDING CERTIFIED  
PRIORITY DOCUMENT**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450


Post Office Box 7068  
Pasadena, CA 91109-7068  
June 17, 2004

Commissioner:

Enclosed is a certified copy of Korea patent Application No. 2003-0016544, which was filed on March 17, 2003, the priority of which is claimed in the above-identified application.

Respectfully submitted,

CHRISTIE, PARKER & HALE, LLP

By   
D. Bruce Prout  
Reg. No. 20,958  
626/795-9900

DBP/dg

Enclosure: Certified copy of patent application  
DLG PAS570042.1-\*06/16/04 12:04 PM



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2003-0016544  
Application Number

출원 년 월 일 : 2003년 03월 17일  
Date of Application MAR 17, 2003

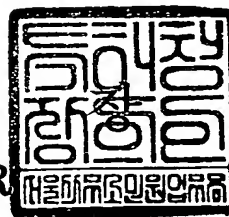
출원인 : 삼성에스디아이 주식회사  
Applicant(s) SAMSUNG SDI CO., LTD.



2003 년 12 월 23 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.17
【발명의 명칭】	어드레스 광을 고려한 플라즈마 디스플레이 패널의 계조 표현 방법
【발명의 영문명칭】	A METHOD FOR REPRESENTING GRAY SCALE ON PLASMA DISPLAY PANEL IN CONSIDERATION OF ADDRESS LIGHT
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	이원일
【포괄위임등록번호】	2001-041982-6
【발명자】	
【성명의 국문표기】	김용진
【성명의 영문표기】	KIM, YONG JIN
【주민등록번호】	740105-1168317
【우편번호】	461-210
【주소】	경기도 성남시 수정구 창곡동 415-23
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 유미특허법인 (인)
【수수료】	
【기본출원료】	18 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	6 항 301,000 원
【합계】	330,000 원

1020030016544

출력 일자: 2003/12/26

【첨부서류】

1. 요약서·명세서(도면)\_1통

## 【요약서】

### 【요약】

본 발명은 플라즈마 디스플레이 패널의 계조 표현 방법에 관한 것으로, 각각 휘도 비율을 가지는 복수 개의 서브필드를 시간 순으로 배열하고, 각 서브필드의 조합에 의해 계조를 표현하며, 각 서브필드가 어드레스 구간과 서스테인 구간을 포함하는 플라즈마 디스플레이 패널의 계조 표현 방법으로서, 인접하는 계조 중 높은 계조에 해당되는 서브필드의 개수가 상기 인접하는 계조 중 낮은 계조에 해당되는 서브필드의 개수보다 적은 경우, 상기 높은 계조의 서스테인 펄스 수와 상기 낮은 계조의 서스테인 펄스 수의 차에 의해 발생하는 광이 상기 어드레스 구간에서 방전되는 광보다 크도록 각 서브필드의 서스테인 펄스 수를 설정하는 것을 특징으로 한다. 본 발명에 따르면, 어드레스 광이 서스테인 광만큼 커져 무시할 수 없는 경우에 발생하는 계조 역전 현상을 제거하여 정확한 계조 표현을 할 수 있다. 또한, 어드레스 광을 고려하여 인접 계조간의 서스테인 펄스 수를 조절함으로써 보다 매끄러운 계조 표현이 가능하고, 전체적인 전력 소모도 감소된다.

### 【대표도】

도 4a

### 【색인어】

플라즈마 디스플레이 패널, PDP, 계조, 계조 역전, 서브필드, 서스테인 펄스, 어드레스 구간, 서스테인 구간, 어드레스 광

【명세서】

【발명의 명칭】

어드레스 광을 고려한 플라즈마 디스플레이 패널의 계조 표현 방법{A METHOD FOR REPRESENTING GRAY SCALE ON PLASMA DISPLAY PANEL IN CONSIDERATION OF ADDRESS LIGHT}

【도면의 간단한 설명】

도 1은 종래 ADS 방식에서의 프레임 구조를 도시한 도면이다.

도 2의 (a)는 종래 플라즈마 디스플레이 패널에서 적용되고 있는 서브필드별 웨이트 및 서스테인 펄스 수의 일예를 나타낸 도면이고, (b)는 (a)의 서브필드별 웨이트로 조합된 계조별 서브필드 구조 및 그에 따른 광 구조를 나타낸 도면이다.

도 3은 일반적인 플라즈마 디스플레이 패널에서 서브필드에서 발생하는 광을 도시한 도면이다.

도 4의 (a)는 본 발명의 실시예에 따른 플라즈마 디스플레이 패널에서 적용되고 있는 서브필드별 웨이트 및 서스테인 펄스 수의 일예를 나타낸 도면이고, (b)는 (a)의 서브필드별 웨이트로 조합된 계조별 서브필드 구조 및 그에 따른 광 구조를 나타낸 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<5> 본 발명은 플라즈마 디스플레이 패널(PDP:Plasma Display Panel)의 계조 표현 방법에 관한 것으로, 보다 구체적으로는 어드레스 광(address light)의 크기가 커지는 경우 이러한 어드

레스 광을 고려하여 서브필드의 서스테인 펄스 수를 설정하는 플라즈마 디스플레이 패널의 계조 표현 방법에 관한 것이다.

<6> 플라즈마 디스플레이 패널은 복수 개의 방전 셀을 매트릭스 형상으로 배열하여 이를 선택적으로 발광시킴으로써 전기 신호로 입력된 화상 데이터를 복원시키는 디스플레이 소자의 한 종류이다.

<7> 이러한 플라즈마 디스플레이 패널에서 칼라 표시 소자로서의 성능을 나타내기 위해서는 계조 표시가 가능하여야 하며, 이를 구현하는 방법으로 1필드를 복수 개의 서브필드로 나누어 이를 시분할 제어하는 계조 구현 방법이 사용되고 있다.

<8> 이 때 각 서브필드는 크게 어드레스 구간과 서스테인 구간으로 나눌 수 있으며, 어드레스 구간에서는 각 주사 전극과 어드레스 전극으로 각 화소에 대한 데이터를 전송하여 각각의 셀을 선택적으로 방전시키거나 소거시키고, 서스테인 구간에서는 각 화소의 데이터를 유지하면서 계조를 구현한다.

<9> 이러한 방식 중, 일본의 후지쓰사에서 개발한 계조 표현 방식으로 어드레스 구간과 서스테인 구간을 완전히 분리하는 방식인 ADS(Address Display Separated) 방식이 일반적인 플라즈마 디스플레이 패널의 계조 표현 방식으로 사용되고 있다.

<10> 이러한 ADS 구동 방식에서는 서스테인만의 광량을 조절하여 플라즈마 디스플레이 패널의 계조를 표현하고 있다. 즉, 서스테인 수에 의해 결정된 서브필드 웨이트(weight)를 고정으로 하거나 또는 이미지의 부하율(load ratio)에 따라 결정되는 APC(Automatic Power Control) 레벨에 따라 10개 내지 12개의 가변 서브필드로 하여 0 내지 255의 계조를 표현하게 된다.

<11> 도 1은 종래 ADS 방식에서의 프레임 구조를 도시한 도면이다.

- <12> 도 1에 도시된 바와 같이, 종래 플라즈마 디스플레이 패널에서는 ADS 방식에 의하여 리셋(Reset), 어드레스 및 서스테인이 한 서브필드를 이루고, 여러 개의 서브필드의 조합으로 1 프레임이 구성된다.
- <13> 1개의 서브필드에서 나오는 광은 리셋, 어드레스 및 서스테인 방전시 발생하는 광의 합인데, 일반적으로 계조 표현은 서스테인 기간동안 방전되는 광의 조합만으로 표현한다. 이는 서브필드에서 리셋 광이나 어드레스 광이 상대적으로 서스테인 광에 비해 무시할 수 있을 정도로 적은 광을 갖기 때문이다.
- <14> 그런데, 최근 플라즈마 디스플레이 패널 기술의 개발 경향을 보면, 고휘도를 내기 위한 Xe 분압의 증가 및 고정세를 통한 셀의 최소화로 진정한 HD급을 구현하고 하고 있고, 또한 격벽 구조가 기존의 스트라이프 구조에서 폐쇄형 구조로 바뀌고 있다. 이는 보다 고효율, 고휘도의 고정세 플라즈마 디스플레이 패널을 개발하려는 추세를 반영하는 것이다.
- <15> 이와 같은 Xe 분압의 증가, 셀의 고정세화, 폐쇄형 격벽 구조 등은 어드레스 방전시 광량의 증가를 가져오고, 이로 인한 어드레스 광이 계조 표현시 무시할 수 없는 상태가 될 수 있다.
- <16> 도 2의 (a)는 종래 플라즈마 디스플레이 패널에서 적용되고 있는 서브필드별 웨이트 및 서스테인 펄스 수의 일예를 나타낸 도면이고, (b)는 (a)의 서브필드별 웨이트로 조합된 계조별 서브필드 구조 및 그에 따른 광 구조를 나타낸 도면이다. 또한 도 3은 일반적인 플라즈마 디스플레이 패널에서 서브필드에서 발생하는 광을 도시한 도면이다.



- <17> 도 2의 (a) 및 (b)에 도시된 바와 같이, 1개의 프레임은 12개의 서브필드로 이루어지고, 각 서브필드 웨이트의 합은 255이며, 서스테인 펄스 수의 합은 511이다. 또한, A는 리셋 광과 어드레스 광의 합을 나타낸다.
- <18> 따라서, 1개의 서브필드에서 발생하는 광은 다음의 [수학식 1]과 같이 표현될 수 있다.
- <19> 【수학식 1】 1 서브필드 광 = 리셋 광 + 어드레스 광 + 서스테인 광
- <20> 
$$= A + \text{서스테인 펄스 수}$$
- <21> 여기서 서스테인 펄스 수 1개에서 나오는 광을 단위 발광 1로 가정한다.
- <22> 이러한 서브필드 웨이트 하에서, 계조 1의 서브필드 구조는 3SF, 즉 세 번째 서브필드에 해당되고, 광 구조는  $A + 3$ 이다. 계조 6의 경우에는 1, 2, 3SF로 첫 번째, 두 번째 및 세 번째 서브필드에 해당되고, 그 광 구조는  $3A + 15$ 에 해당되며, 계조 7의 경우에는 3, 4SF로 세 번째 및 4번째 서브필드에 해당되고, 그 광 구조는  $2A + 16$ 에 해당된다.
- <23> 상기한 바와 같이 종래의 계조 표현은 오로지 서스테인 수에 따른 서브필드의 조합으로 표현되며, 이는 A로 표현되는 리셋 광이나 어드레스 광이 상대적으로 서스테인 광보다 무시할 정도로 작다고 보았을 때 성립될 수 있다. 예를 들어, A가 무시되는 상태에서 상기 예에서 계조 6의 서스테인 수는 15이고, 계조 7의 서스테인 수는 16으로 서스테인 수에 있어서 계조 7이 계조 6보다 1만큼 더 크므로 서브필드 전체 광 또한 계조 7이 더 많으므로 정확한 계조가 표현되어 휘도가 크다.
- <24> 그런데 여기서 리셋 광은 크지 않겠지만 만약 어드레스 광이 단위 서스테인 광만큼 크거나 같다면 계조 6이 계조 7보다 휘도가 크거나 같아져 정확한 계조 표현이 어렵게 된다는 문제점이 있다.

<25> 보다 구체적으로 살펴보면, 상기 예에서 계조 6의 광 구조는  $3A + 15$ 이고, 계조 7의 광 구조는  $2A + 16$ 이며, 어드레스 광이 단위 서스테인 광보다 크거나 같은 경우, 즉  $A \geq 1$ 인 경우, 계조 6과 계조 7의 차는 [수학식 2]와 같다.

<26> 【수학식 2】  $(3A + 15) - (2A + 16) = A - 1 \geq 0$

<27> [수학식 2]의 결과에 따르면, 어드레스 광이 단위 서스테인 광보다 크거나 같은 경우, 계조 6이 계조 7보다 크거나 같은 휘도를 나타내어 올바른 계조가 표현될 수 없다는 것을 알 수 있다.

<28> 결과적으로, 고휘도를 내기 위한 최근의 경향인 Xe 분압의 증가, 셀의 고정세화, 폐쇄형 격벽 구조 등에 따라 어드레스 방전시 광량의 증가를 가져오고, 이로 인한 어드레스 광이 계조 표현시 무시할 수 없는 상태가 되는 경우 정확한 계조가 표현되지 않게 되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<29> 따라서, 본 발명의 목적은 상기한 종래의 문제점을 해결하기 위한 것으로, 어드레스 광을 고려하여 보다 부드럽고 정확한 계조 표현을 구현하는 플라즈마 디스플레이 패널의 계조 표현 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<30> 상기한 목적을 달성하기 위하여 본 발명의 특징에 따른 플라즈마 디스플레이 패널의 계조 표현 방법은,

<31> 각각 휘도 비중을 가지는 복수 개의 서브필드를 시간 순으로 배열하고, 각 서브필드의 조합에 의해 계조를 표현하며, 각 서브필드가 어드레스 구간과 서스테인 구간을 포함하는 플라즈마 디스플레이 패널의 계조 표현 방법으로서,

- <32> 인접하는 계조 중 높은 계조에 해당되는 서브필드의 개수가 상기 인접하는 계조 중 낮은 계조에 해당되는 서브필드의 개수보다 적은 경우, 상기 높은 계조의 서스테인 펄스 수와 상기 낮은 계조의 서스테인 펄스 수의 차에 의해 발생하는 광이 상기 어드레스 구간에서 방전되는 광보다 크도록 각 서브필드의 서스테인 펄스 수를 설정하는 것을 특징으로 한다.
- <33> 여기서, 상기 서브필드 중 휘도 비중이 1인 서브필드로 이루어지는 최소 계조에 해당되는 광이 어드레스 구간에서 방전되는 광이 되도록 상기 휘도 비중이 1인 서스테인 펄스 수를 0으로 설정하는 것을 특징으로 한다.
- <34> 또한, 인접하는 계조 중 높은 계조에 해당되는 서브필드의 개수가 상기 인접하는 계조 중 낮은 계조에 해당되는 서브필드의 개수보다 많은 경우, 상기 높은 계조의 서스테인 펄스 수와 상기 낮은 계조의 서스테인 펄스 수가 동일하도록 각 서브필드의 서스테인 펄스 수를 설정하는 것을 특징으로 한다.
- <35> 본 발명의 다른 특징에 따른 플라즈마 디스플레이 패널의 계조 표현 방법은,
- <36> 각각 휘도 비중을 가지는 복수 개의 서브필드를 시간 순으로 배열하고, 각 서브필드의 조합에 의해 계조를 표현하며, 각 서브필드가 어드레스 구간과 서스테인 구간을 포함하는 플라즈마 디스플레이 패널의 계조 표현 방법으로서,
- <37> 특정 계조에 해당되는 광-여기서 광은 상기 높은 계조를 표현하기 위해 조합되는 서브필드의 전체 어드레스 구간에서 방전되는 광과 전체 서스테인 구간에서 방전되는 광을 포함함-이 상기 특정 계조보다 낮은 계조에 해당되는 광-여기서 광은 상기 특정 계조보다 낮은 계조를 표현하기 위해 조합되는 서브필드의 전체 어드레스 구간에서 방전되는 광과 전체 서스테인

인 구간에서 방전되는 광을 포함함 - 보다 크도록 각 서브필드의 서스테인 펄스 수를 설정하는 것을 특징으로 한다.

<38> 이하, 본 발명의 실시예에 대해 첨부된 도면을 참조하여 상세히 설명한다.

<39> 우선 어드레스 광이 무시하지 못할 정도로 커져 서스테인 광보다 크거나 같아지는 경우에 제조별 휘도가 정확하게 표현되지 않는 것은 인접한 제조에 해당된다.

<40> 따라서, 여기에서는 인접한 제조에서 제조별 광 구조 상 변동이 예상되는 요소를 파악한 후, 어드레스 광이 고려되어야 하는 요소를 검출하여 어드레스 광이 증가하여도 정확한 제조 표현이 가능하도록 한다.

<41> 먼저, 인접한 제조는 서브필드 구조상 최대 1개의 서브필드 개수의 변동이 있다. 즉, 광 구조로 따지는 경우 최대 1A의 변동이 있다. 또한 제조가 높을수록 서스테인 펄스 수가 같거나 많다.

<42> 결과적으로 인접한 제조에서 제조가 높아질 때 광 구조의 변동 요소는 다음과 같다.

<43> 첫 번째, 서브필드 개수가 동일하여 변화가 없어 서스테인 펄스 수의 변동만 있다. 이 경우 서스테인 펄스 수는 증가 변동만 있다. 즉, 광 구조상 A의 변화는 없다.

<44> 두 번째, 서브필드 개수의 증가와 서스테인 펄스 수의 변동이 있다. 이 경우 서브필드 개수는 1개 증가하고, 서스테인 펄스 수는 증가 변동만 있다. 즉, 광 구조상 첫 번째 경우에 1A의 증가가 추가된다.

<45> 세 번째, 서브필드 개수의 감소와 서스테인 펄스 수의 변동이 있다. 이 경우 서브필드 개수는 1개 감소하고, 서스테인 펄스 수는 증가 변동만 있다. 즉, 광 구조상 첫 번째 경우에 1A의 감소가 추가된다.

- <46>      상기한 바와 같은 광 구조상 변동 요소 중 첫 번째에서는 어드레스 광의 변화가 없고, 두 번째 요소에서는 어드레스 광이 증가하므로 잘못된 계조 표현은 나타나지 않는다.
- <47>      그러나 세 번째는 어드레스 광이 감소하여 잘못된 계조 표현이 나타날 수 있으므로 어드레스 광이 고려되어야 하는 요소가 된다.
- <48>      이와 같은 세 번째 요소에서는 어드레스 광인 A의 감소와 서스테인 펄스 수의 증가 변동이 있는데, 이러한 변동에도 불구하고 정확한 계조가 표현되기 위해서는 상기 변동으로 인한 휘도의 증가가 있어야 한다. 이것은 [수학식 3]으로 표현될 수 있다.
- <49>      【수학식 3】 서스테인 펄스 수 증가분 > A
- <50>      [수학식 3]에서 알 수 있는 바와 같이, 서브필드 개수의 감소 변동이 있는 인접 계조에서 높은 계조가 높은 휘도를 갖기 위해서는 서스테인 펄스 수 증가분이 어드레스 광인 A보다 커야 한다.
- <51>      그런데, A는 어드레스 광(리셋 광을 무시하는 경우)을 나타내고, 이 어드레스 광은 통상적으로 3단위 서스테인 광보다는 작으므로, 즉  $A < 3$ 이므로, 결과적으로 서스테인 펄스 수 증가분이 3이상인 경우 어드레스 광이 고려되더라도 정확한 계조 표현이 가능해진다.
- <52>      따라서, 인접 계조 중 높은 계조의 서브필드 개수가 낮은 계조의 서브필드 개수보다 작은 경우 높은 계조의 서스테인 펄스 수가 낮은 계조의 서스테인 펄스 수보다 3이상이 되도록 각 서브필드의 웨이트를 조절한다.
- <53>      한편, 어드레스 광이 3단위 서스테인 광보다 크게 나타날 수 있는 경우에는 서스테인 펄스 수 증가분 또한 상대적으로 증가된 값으로 결정되어야 하는 것은 당업자에 의해 쉽게 이해될 것이다.

한편, 상기에서는 세 번째 요소와 같이 인접 계조에서 휘도가 역전되어 표현될 수 있는 경우에 대해서만 설명하였지만 두 번째 요소에서와 같이 서브필드 개수가 증가하는 동시에 서스테인 펄스 수가 증가하는 경우, 종래 서스테인 펄스 수의 증가로 계조 표현이 이루어지는 것에 서브필드 개수의 증가에 따라 어드레스 광의 증가가 추가되므로, 결과적으로 종래에 비해 휘도 변화가 증가하여 매끄러운 휘도 표현이 안될 수가 있다.

<55> 두 번째 요소와 같이 인접 계조에서 높은 계조의 서브필드 개수가 낮은 계조의 서브필드 개수보다 많은 경우에는 어드레스 광에 의한 서브필드 광의 증가가 있으므로 종래에 비해 서스테인 펄스 수의 증가분을 감소시킴으로써 보다 매끄러운 계조가 표현될 수 있다.

<56> 따라서, 인접 계조 중 높은 계조의 서브필드 개수가 낮은 계조의 서브필드 개수보다 많은 경우 낮은 계조의 서스테인 펄스 수에서 높은 계조의 서스테인 펄스 수로의 증가분이 종래에 비해 감소되도록 각 서브필드의 웨이트를 조절한다.

<57> 한편, 본 발명의 실시예에서는 어드레스 광이 1 내지 2단위의 서스테인 광에 가까울 정도 크고, 각 계조의 광 구조는 어드레스 광과 서스테인 펄스 수로 이루어지기 때문에 결과적으로 종래에 비해 해당 계조를 구현하는 서스테인 펄스 수를 감소시킬 수 있다.

<58> 도 4의 (a)는 본 발명의 실시예에 따른 플라즈마 디스플레이 패널에서 적용되고 있는 서브필드별 웨이트 및 서스테인 펄스 수의 일예를 나타낸 도면이고, (b)는 (a)의 서브필드별 웨이트로 조합된 계조별 서브필드 구조 및 그에 따른 광 구조를 나타낸 도면이다.

<59> 도 4의 (a) 및 (b)에 도시된 바와 같이, 본 발명의 실시예에서 웨이트 1인 세 번째 서브필드의 서스테인 수는 0이고, 나머지 서브필드의 서스테인 수는 종래에 비해 2만큼 작다.

<60> 여기서, 어드레스 광이 무시할 수 없을 정도의 크기, 예를 들어 1단위 내지 2단위 서스테인 광의 크기를 갖기 때문에 계조 1을 어드레스 광으로만 할당하면 되므로, 결과적으로 웨이트 1인 세 번째 서브필드 서스테인 수가 0이 된다. 이것은 종래에 비해 3개의 서스테인 펄스 수가 감소된 것이다.

<61> 한편, 계조 6과 계조 7에서 알 수 있는 바와 같이, 인접하는 계조 중 높은 계조가 낮은 계조에 비해 서브필드 개수가 줄어드는 경우 서스테인 개수의 증가가 3 이상이 된다.

<62> 이 경우, 계조 6의 광 구조는  $3A + 8$ 이고, 계조 7의 광 구조는  $2A + 11$ 이며, 어드레스 광이 단위 서스테인 광보다 크거나 같은 경우, 즉  $A \geq 1$ 인 경우, 계조 7과 계조 6의 차는 [수학식 2]와 같다.

<63> 【수학식 4】  $(2A + 11) - (3A + 8) = 3 - A > 0$

<64> [수학식 4]에서 알 수 있듯이, 어드레스 광이 단위 서스테인 광보다 크거나 같더라도, 계조 7이 계조 6보다 큰 휘도를 나타내어 올바른 계조가 표현될 수 있다.

<65> 또한, 인접 계조 2 및 3, 5 및 6과 8 및 9에서 알 수 있듯이, 인접 계조 중 높은 계조가 낮은 계조에 비해 서브필드 개수가 증가하는 경우에는 1개의 어드레스 광이 증가되기 때문에 서스테인 펄스 수의 증가분이 0이 된다. 즉, 인접 계조 중 서브필드 개수가 증가하는 계조에 대해서는 서스테인 펄스 수가 동일해진다.

<66> 이와 같이 어드레스 광을 고려하여 서스테인 펄스 수를 조절함으로써 매끄러운 계조가 표현될 수 있다.

<67> 또한, 본 발명의 실시예에 따른 전체적인 서스테인 펄스 수가 종래의 서스테인 펄스 수(도 2의 (b) 참조)에 비해 감소된다. 따라서 서스테인 펄스 발생을 위한 전력 소모가 감소될 수 있다.

<68> 비록, 본 발명이 가장 실제적이며 바람직한 실시예를 참조하여 설명되었지만, 본 발명은 상기 개시된 실시예에 한정되지 않으며, 후술되는 특허청구범위 내에 속하는 다양한 변형 및 등가물들도 포함한다.

#### 【발명의 효과】

<69> 본 발명에 따르면, 어드레스 광이 서스테인 광만큼 커져 무시할 수 없는 경우에 발생되는 계조 역전 현상을 제거하여 정확한 계조 표현을 할 수 있다.

<70> 또한, 어드레스 광을 고려하여 인접 계조간의 서스테인 펄스 수를 조절함으로써 보다 매끄러운 계조 표현이 가능하고, 전체적인 전력 소모도 감소된다.



**【특허청구범위】****【청구항 1】**

각각 휘도 비중을 가지는 복수 개의 서브필드를 시간 순으로 배열하고, 각 서브필드의 조합에 의해 계조를 표현하며, 각 서브필드가 어드레스 구간과 서스테인 구간을 포함하는 플라즈마 디스플레이 패널의 계조 표현 방법에 있어서,

인접하는 계조 중 높은 계조에 해당되는 서브필드의 개수가 상기 인접하는 계조 중 낮은 계조에 해당되는 서브필드의 개수보다 적은 경우, 상기 높은 계조의 서스테인 펄스 수와 상기 낮은 계조의 서스테인 펄스 수의 차에 의해 발생하는 광이 상기 어드레스 구간에서 방전되는 광보다 크도록 각 서브필드의 서스테인 펄스 수를 설정하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 계조 표현 방법.

**【청구항 2】**

제1항에 있어서,

상기 서브필드 중 휘도 비중이 1인 서브필드로 이루어지는 최소 계조에 해당되는 광이 어드레스 구간에서 방전되는 광이 되도록 상기 휘도 비중이 1인 서스테인 펄스 수를 0으로 설정하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 계조 표현 방법.

**【청구항 3】**

제1항에 있어서,

인접하는 계조 중 높은 계조에 해당되는 서브필드의 개수가 상기 인접하는 계조 중 낮은 계조에 해당되는 서브필드의 개수보다 많은 경우, 상기 높은 계조의 서스테인 펄스 수와 상기

낮은 계조의 서스테인 펄스 수가 동일하도록 각 서브필드의 서스테인 펄스 수를 설정하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 계조 표현 방법.

#### 【청구항 4】

각각 휘도 비중을 가지는 복수 개의 서브필드를 시간 순으로 배열하고, 각 서브필드의 조합에 의해 계조를 표현하며, 각 서브필드가 어드레스 구간과 서스테인 구간을 포함하는 플라즈마 디스플레이 패널의 계조 표현 방법에 있어서,

특정 계조에 해당되는 광-여기서 광은 상기 높은 계조를 표현하기 위해 조합되는 서브필드의 전체 어드레스 구간에서 방전되는 광과 전체 서스테인 구간에서 방전되는 광을 포함함-이 상기 특정 계조보다 낮은 계조에 해당되는 광-여기서 광은 상기 특정 계조보다 낮은 계조를 표현하기 위해 조합되는 서브필드의 전체 어드레스 구간에서 방전되는 광과 전체 서스테인 구간에서 방전되는 광을 포함함-보다 크도록 각 서브필드의 서스테인 펄스 수를 설정하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 계조 표현 방법.

#### 【청구항 5】

제4항에 있어서,

상기 서브필드 중 휘도 비중이 1인 서브필드로 이루어지는 최소 계조에 해당되는 광이 어드레스 구간에서 방전되는 광이 되도록 상기 휘도 비중이 1인 서스테인 펄스 수를 0으로 설정하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 계조 표현 방법.

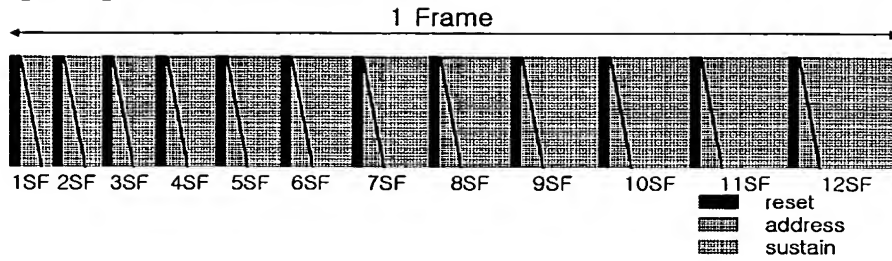
#### 【청구항 6】

제4항에 있어서,

인접하는 계조 중 높은 계조에 해당되는 서브필드의 개수가 상기 인접하는 계조 중 낮은 계조에 해당되는 서브필드의 개수보다 많은 경우, 상기 높은 계조의 서스테인 펄스 수와 상기 낮은 계조의 서스테인 펄스 수가 동일하도록 각 서브필드의 서스테인 펄스 수를 설정하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 계조 표현 방법.

## 【도면】

【도 1】



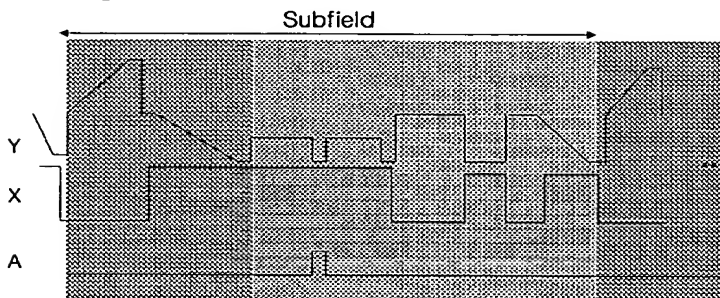
【도 2a】

SF weight	3	2	1	6	8	10	13	21	32	43	53	63	255
sustain수	7	5	3	13	17	21	27	43	65	87	107	127	511

【도 2b】

계조	subfield구조	光 구조
0	-	-
1	3SF	A+3
2	2SF	A+5
3	2,3SF	2A+8
4	1,3SF	2A+10
5	1,2SF	2A+12
6	1,2,3SF	3A+15
7	3,4SF	2A+16
8	2,4SF	2A+18
9	2,3,4SF	3A+21
10	1,3,4SF	3A+23

【도 3】



$$\text{光} = \text{Reset光} + \text{Address光} + \text{Sustain光}$$

【도 4a】

SF weight	3	2	1	6	8	10	13	21	32	43	53	63	255
sustain수	5	3	0	11	15	19	25	41	63	85	105	125	509

【도 4b】

계조	subfield구조	光 구조
0	-	-
1	3SF	A
2	2SF	A+3
3	2,3SF	2A+3
4	1,3SF	2A+5
5	1,2SF	2A+8
6	1,2,3SF	3A+8
7	3,4SF	2A+11
8	2,4SF	2A+14
9	2,3,4SF	3A+14
10	1,3,4SF	3A+16